

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-162767

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

H04B 1/26

H03D 7/16

H04B 1/04

(21)Application number : 07-320529

(71)Applicant : NEC CORP

(22)Date of filing : 08.12.1995

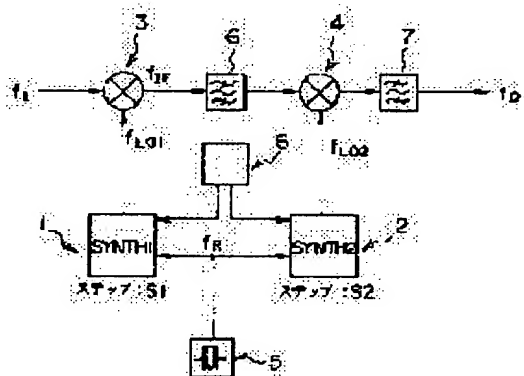
(72)Inventor : WATABE JUNZO

(54) FREQUENCY CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a double conversion type frequency converter with the output frequency of low frequency step by using the output frequency of two frequency synthesizing circuits different in variable steps of frequencies as the local frequency of a mixer.

SOLUTION: Synthesizer type frequency synthesizing circuits 1 and 2 having different frequency variable steps are respectively used as the local frequencies of mixers 3 and 4, and an output frequency f_o is provided by converting an input frequency f_i through a double conversion system. Besides, oscillation frequencies f_{LO1} and f_{LO2} of frequency synthesizing circuits 1 and 2 are inputted to respective mixers 3 and 4. Further, the phases of frequency synthesizing circuits 1 and 2 are synchronized with a reference frequency f_k of reference frequency oscillator 5 together and a data control circuit 6 performs control so that the oscillation frequencies f_{LO1} and f_{LO2} can be respectively varied at regular frequency intervals. Thus, the output frequency f_o can be provided from the input frequency f_i .



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 08.12.1995

[Date of sending the examiner's decision of rejection] 27.10.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162767

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 1/26			H 0 4 B 1/26	B
H 0 3 D 7/16			H 0 3 D 7/16	
H 0 4 B 1/04			H 0 4 B 1/04	F

審査請求 有 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平7-320529

(22) 出願日 平成7年(1995)12月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 渡部 順三

東京都港区芝五丁目7番1号 日本電気株式会社内

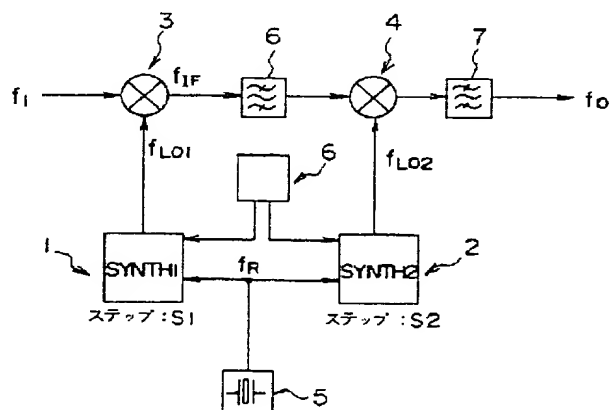
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 周波数変換装置

(57) 【要約】

【課題】 出力周波数が低周波数ステップのダブルコンバージョン方式の周波数変換装置を提供する。

【解決手段】 周波数可変ステップの異なるシンセサイザタイプの周波数合成回路1と周波数合成回路2とをそれぞれミキサ3と4のローカル周波数として用い、入力周波数 f_i をダブルコンバージョン方式で周波数変換して出力周波数を得る。



【特許請求の範囲】

【請求項 1】 入力信号を周波数変換して第 1 の周波数を可変ステップとする出力信号を得るダブルコンバージョン方式の周波数変換装置において、
前記入力信号を第 2 の周波数を可変ステップとする第 1 の周波数合成回路の出力信号と周波数混合し、
前記周波数混合された出力をさらに第 3 の周波数を可変ステップとする第 2 の周波数合成回路の出力信号と周波数混合して前記出力信号を得ることを特徴とする周波数変換装置。

【請求項 2】 前記第 1、第 2 の周波数合成回路は、各々入力する基準周波数に基づき位相同期する周波数シンセサイザーを用いることを特徴とする請求項 1 記載の周波数変換装置。

【請求項 3】 前記第 1 の周波数は、前記第 2、第 3 の周波数の和又は差の値であることを特徴とする請求項 1 記載の周波数変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はダブルコンバージョン方式のマイクロ波帯等の高周波帯用周波数変換装置に関し、特に出力周波数が低周波数の周波数間隔を有するダブルコンバージョン方式の周波数変換装置に関する。

【0002】

【従来の技術】変調信号をマイクロ波帯等の高周波信号に周波数変換する周波数変換装置として、従来より用いられているダブルコンバージョン方式の周波数変換装置は、例えば特開平 04-053302 号公報に記載される如く、基準周波数発振器の周波数に位相同期する 2 個の局発部を用いてそれらの発振周波数の組み合わせにより任意の出力周波数を得る方法がある。本方法では、基準周波数を低い周波数とし、全体構成を簡略化する目的のために用いられている。

【0003】また他の方法として、周波数変換装置の出力周波数を一定の周波数間隔（ステップ）で選択して所要の周波数を得るものがある。このような周波数変換装置としては従来よりダブルコンバージョン方式の周波数変換装置があり、通常周波数シンセサイザーを用いて構成される。

【0004】図 2 は、シンセサイザーを用いた従来の周波数変換装置の構成を示している。本図において、入力周波数 f_i はミキサ 12 に入力され周波数変換される。ミキサ 12 の局発信号は発振周波数が一定である位相同期発振器（PLO）11 から入力される。ミキサ 12 の出力は、不要波を抑圧する帯域通過ろ波器 16 を通してミキサ 13 に入力される。ミキサ 13 の局発信号には、基準周波数発振器 14 の出力周波数 f_R を周波数ステップとする周波数シンセサイザー型の周波数合成装置 10 の出力信号が用いられる。なお、周波数合成回路 10 は制御部 15 により制御される。

【0005】ミキサ 13 の出力周波数の可変周波数のステップは、周波数合成回路 10 の可変周波数のステップで決定される。

【0006】従って、最終的な周波数変換装置の出力周波数 f_o は、ミキサ 13 の出力を帯域ろ波器 17 を通して出力される。

【0007】

【発明が解決しようとする課題】図 2 に示した出力周波数が一定のステップ間隔を有する従来のダブルコンバージョン方式の周波数変換装置は、出力周波数 f_o の可変ステップを低周波間隔とするためには周波数合成回路 10 の出力周波数の可変ステップも周波数変換装置の出力周波数 f_o と同様に低周波数間隔にしなければならない。

【0008】ここで、周波数合成回路 10 の構成は、通常 PLL（Phase Lock Loop）を用いた周波数シンセサイザーが使用され、出力周波数の可変ステップが低周波になると位相比較用基準信号周波数を低くする必要がある。その結果出力周波数の近傍での位相雑音特性が劣化する問題を有していた。さらに、この近傍雑音は、出力周波数にあまりに近いため抑圧するための低周波ろ波器は実現が難しく、また、近傍雑音に影響する PLL を構成する位相比較器や PLL IC 等の部品についても雑音特性の良いものを選択する必要がある等の問題を有していた。

【0009】

【課題を解決するための手段】本発明のダブルコンバージョン方式周波数変換装置は、それぞれ 2 つの異なる周波数可変ステップ S_1 、 S_2 を有し、基準周波数発振器の出力 f_R と制御データの入力により出力周波数 f_{L01} 、 f_{L02} を出力する周波数合成回路 1、周波数合成回路 2 と f_{L01} 及び入力信号 f_i の非直線結合により生ずる周波数成分 f_{IF} を発生するミキサ 3 と f_{IF} と f_{L02} の非直線結合により生ずる周波数成分 f_o を発生するミキサ 4 を備えている。

【0010】この周波数変換装置の出力周波数 f_o の可変ステップは $m \times S_1$ と $n \times S_2$ (m , n は 0, 1, 2, ...) の和又は差により決まる為、 S_1 と S_2 の値が大きくても $m S_1$ と $n S_2$ の組み合わせで小ステップとなるように m , n を決めてやれば小ステップ可変周波数の周波数変換装置が実現できる。

【0011】

【発明の実施の形態】本発明のダブルコンバージョン方式の周波数変換装置について図面を参照して説明する。図 1 は、本発明の実施例を示すブロック図である。図 1 においてシンセサイザー型の周波数合成回路 1、2 の出力周波数はそれぞれ f_{L01} 、 f_{L02} で表わされる。また、周波数合成回路 1、2 は共に基準周波数発振器 5 の基準周波数 f_R に位相同期し、また、データ制御回路 6 によって発振周波数 f_{L01} と f_{L02} をそれぞれ一定の周

波数間隔で可変するよう制御している。その可変ステップは、それぞれ $S1$ と $S2$ とで表わすことにする。すなわち、 f_{L01} と f_{L02} の最小周波数をそれぞれ f_{1min} 、 f_{2min} とすると f_{L01} と f_{L02} は以下の式で表わされる。

$$\begin{aligned} [0012] \quad f_{L01} &= f_{1min} + m \times S1 \\ f_{L02} &= f_{2min} + n \times S2 \end{aligned}$$

但し、 m 、 n は 0 以上の整数である。

【0013】ミキサ 3 は f_{L01} と周波数変換装置への入力信号 f_i に応答し f_{L01} と f_i の非直線結合により生ずる周波数成分 f_{IF} を発生し、ミキサ 4 は f_{L02} と f_{IF} の非直線結合により生ずる周波数成分を発生する。このミキサ 4 の出力周波数が周波数変換装置の出力周波数 f_o となる。

【0014】以上のことより各周波数は

$$\begin{aligned} f_{IF} &= f_{L01} \pm f_i \\ f_o &= f_{L02} \pm f_{IF} = f_{L02} \pm f_{L01} \pm f_i \\ &= f_{2min} \pm f_{1min} + n \times S2 \pm m \times S1 \pm f_i \end{aligned}$$

となる。但し、 $f_i < f_{L01} < f_{L02}$ の関係を有するものとする。

【0015】上記関係式に対して、例えば、 $f_{in} = 140$ (MHz)、 $f_{1min} = 1000$ (MHz)、 $f_{2min} = 5000$ (MHz)、 $S1 = 1$ (MHz)、 $S2 = 1.25$ (MHz) とした場合に、

$$\begin{aligned} f_{L01} &= 1000 + m \times 1 \text{ (MHz)} \\ f_{L02} &= 5000 + n \times 1.25 \text{ (MHz)} \end{aligned}$$

その結果、

$$f_{IF} = 1000 + m \times 1 - 140 = 860 + m \times 1 \text{ (MHz)}$$

(f_{IF} は f_{L01} に対し下側の周波数を選択)

$$\begin{aligned} f_o &= 5000 + n \times 1.25 - (860 + m \times 1) \\ &= 4140 + n \times 1.25 - m \times 1 \text{ (MHz)} \end{aligned}$$

(f_o は f_{L02} に対し下側の周波数を選択) となる。

【0016】上記 f_o に対して n 、 m の値を選択すると、 $n=0$ 、 $m=0$ の場合 $f_o = 4140$ (MHz)、 $n=1$ 、 $m=1$ の場合 $f_o = 4140.25$ (MHz)、 $n=2$ 、 $m=2$ の場合 $f_o = 4140.50$ (MHz)、 $n=3$ 、 $m=3$ の場合 $f_o = 4140.75$ (MHz)、 $n=4$ 、 $m=4$ の場合 $f_o = 4141$ (MHz) が得られる。

【0017】この結果、出力周波数は、個々の周波数合成回路 1、2 の可変ステップ $S1 = 1$ (MHz)、 $S2 = 1.25$ (MHz) の周波数差 250 KHz のステッ

プの信号が得られる。

【0018】

【発明の効果】以上説明したように本発明は、周波数の可変ステップの異なる 2 つの周波数合成回路の出力周波数をミキサのローカル周波数として用いている為、2 個の周波数合成装置の可変ステップの差のステップ周波数の出力周波数を得ることができる。よって、より低周波数のステップの周波数を得るためには、2 種類の可変ステップの周波数に少ない値を選択すれば良いことになる。

【0019】この結果、周波数合成回路で基準信号の分周比を小さくすることができ、周波数合成回路及び周波数変換装置の出力周波数の近傍での位相雑音特性が改善される。

【0020】また、従来の構成で用いられていた位相同期局発回路 11 と周波数合成回路 1 の位相雑音を比較すると本発明の周波数合成回路 1 を用いた方が劣化することになる。しかし、周波数変換装置の出力周波数での位相雑音は、通常後段の周波数合成回路 2 の方が高周波帯となるため、位相雑音特性は後段の周波数合成回路 2 の位相雑音が支配的となり前記劣化量が問題となることはない。

【図面の簡単な説明】

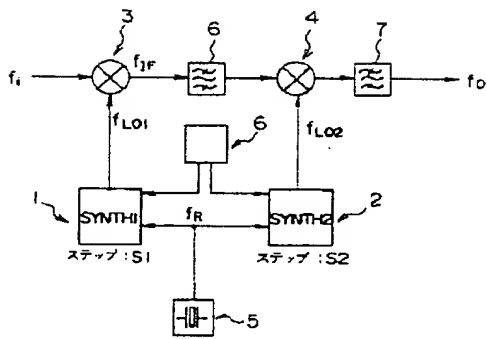
【図 1】本発明の一実施例を示すブロック図である。

【図 2】従来のダブルコンバージョン方式の周波数変換装置を示すブロック図である。

【符号の説明】

- | | |
|----|----------------------|
| 1 | 周波数合成回路 (ステップ $S1$) |
| 2 | 周波数合成回路 (ステップ $S2$) |
| 3 | ミキサ |
| 4 | ミキサ |
| 5 | 基準周波数発振器 |
| 6 | データ制御回路 |
| 7 | 帯域ろ波器 |
| 10 | 周波数合成回路 |
| 11 | 固定周波数発振器 (PLO) |
| 12 | ミキサ |
| 13 | ミキサ |
| 14 | 基準周波数発振器 |
| 15 | データ制御回路 |
| 16 | 帯域通過ろ波器 |
| 17 | 帯域ろ波器 |

【図 1】



【図 2】

